

半導体記憶装置

発 明 の 背 景

1. 発明の分野

- 5 本発明は、アンプ回路の起動タイミングを、ダミー回路を用いて生成する半導体記憶装置に関する。

2. 従来技術の説明

- 従来 of 半導体記憶装置において、メモリセルからの読出しデータを増幅するアンプの起動信号をダミー of メモリセルを用いて生成し、プロセスや電圧等に起因するメモリセル読出しタイミングのばらつきに対して、
10 アンプ起動タイミングを精度良く追従させる方法が種々考えられている。

- 従来 of 半導体記憶装置の構成例として、図15～図18に、「IEEE 半導体素子使用回路ジャーナル」、2001年11月、第36巻、第11号、p. 1738-1744 (IEEE Journal of Solid-State Circuits, Vol. 36, No. 11, November 2001, pp1738-1744) 及び米国特許6
15 212117号明細書に開示されている回路構成の概要図を示す。

- 図15において、500はメモリアレイを、501はメモリアレイ500に含まれるエッジカラム（光学的なダミーカラム）を、502はメモリアレイ500に含まれるダミーカラムを、504はメモリアレイ500に複数含まれる通常カラムを、それぞれ示している。ここで、通常カラムとは、エッジカラムおよびダミーカラム以外のカラムを意味している。
20

- また、505はメモリアレイ500に接続されるダミー制御回路を、
25 507はダミーカラム502の出力信号が入力されるアンプ制御回路を、
508は通常カラム504に接続されるカラムセクタを、509はカ

ラムセクタ 508 及びアンプ制御回路 507 に接続されるアンプ回路を、510 はメモリアレイ 500 に接続されるロウデコードを、それぞれ示している。

図 16 は、図 15 に示すメモリアレイ 500 の部分構成図である。図 16 において、511 は通常のメモリセルを示しており、SRAM が良く用いられている。また、512 はエッジカラム 501 に含まれ、通常のメモリセル 511 の物理パターンがアレイ端部でくずれないように配置されるエッジセルを、513 はダミーカラム 502 に含まれるダミーセルを、それぞれ示している。

図 17 は、図 16 に示すメモリセル 511 の構成図であり、図 18 は、図 16 に示すダミーセル 512 及び 513 の内部構成及び相互接続構成を示す図である。

図 18 に示すように、エッジセル 512 及びダミーセル 513 を構成するトランジスタは、図 17 に示すメモリセル 511 を構成するトランジスタと同サイズであり、エッジセル 512 及びダミーセル 513 に含まれるラッチ回路は一定レベルに固定されている。

図 16 に示すように、メモリセル 511 は、行方向においてはロウデコード 510 と接続されているワードライン $WL_0 \sim WL_x$ に接続されており、列方向においては共通のビットライン BL 及び NBL に接続されている。

複数あるエッジセル 512 のうち n 個のエッジセル 512 が、ダミー制御回路 505 の出力側であるダミーワードライン DWL に接続され、他のエッジセル 512 は、接地ラインに接続されている。 n 個のエッジセル 512 は、アンプ回路 509 側に近い位置から順に n 個配置される構成となっている。

また、複数あるダミーセル 513 のうち n 個のダミーセル 513 は、

ダミー制御回路 505 の出力側であるダミーワードライン DWL に接続され、他のダミーセル 513 は、接地ラインに接続されている。また、複数あるダミーセル 513 は、共通のダミービットライン DBL に接続されており、ダミービットライン DBL はアンプ制御回路 507 へと接続されている。n 個のダミーセル 513 についても、n 個のエッジセルと同様に、アンプ回路 509 側に近い位置から順に n 個配置される構成となっている。

以上のように構成された従来の半導体記憶装置が動作すると、ロウデコード 510 と接続されているワードライン WL0 ~ WLx のいずれかが選択され、選択されたワードラインに接続されているメモリセル 511 のデータがビットライン BL 及び NBL に読み出される。

なお、ビットライン BL、NBL 及びダミービットライン DBL は、予めハイレベルにプリチャージされており、ワードライン WL0 ~ WLx が選択される時点においてはフローティング状態となっている。また、通常カラム 504 は複数存在することから、選択されたワードラインに接続されている複数のメモリセル 511 のデータが、それぞれのビットライン BL 及び NBL に読み出されるが、カラムセクタ 508 によって特定のビットライン BL 及び NBL のデータが選択されることになる。

ワードライン WL0 ~ WLx が選択されるタイミングとほぼ同一のタイミングにおいて、ダミー制御回路 505 の出力側であるダミーワードライン DWL が駆動され、n 個のダミーセル 513 を構成するトランジスタがダミービットライン DBL の信号レベルをメモリセル 511 の n 倍のスルーレートでハイレベルからロウレベルへと遷移させる。

そして、ダミービットライン DBL の信号レベルを検出することで、アンプ制御回路 507 がアンプ起動信号 SAE を生成し、アンプ回路 509 は、アンプ起動信号 SAE が入力されたタイミングで、選択された

特定のビットラインBL及びNBLのデータを増幅することになる。

例えば、電源電圧が1.2Vであって、メモリセル511からの読出しデータ（BL）と（NBL）の電位差が100mVの場合においてアンプ回路509を起動したい場合、選択するダミーセル513の数nを
5 ‘6’ にしておけば、所望のアンプ起動タイミング時に、ダミービットラインDBLの電位は600mV、すなわち電源電圧の半分の電位にまで遷移することになる。したがって、複雑な電位検出回路を用いることなく、簡単なCMOSゲートを用いるだけで、アンプ起動信号SAEを生成できるという利点がある。

10 しかしながら、上述したような従来の半導体記憶装置においては、メモリセル511に接続されるビットラインBL及びNBLの配線負荷はダミー回路に含まれているものの、ビットラインに接続されるカラムセレクタ508の負荷はダミー回路に含まれておらず、所望のアンプ起動タイミングに対して、ダミービットラインの信号に基づくSAE信号の
15 生成が遅延してしまう、という問題点が生じていた。

また、上述したような従来の半導体記憶装置においては、ダミービットラインDBLを駆動するダミーセル513が、メモリアレイ500に対してアンプ回路509に近接した位置に配置されており、アンプ回路509とは反対側端部に配置されるメモリセル511が選択された場合
20 には、ビットラインBL及びNBLの配線抵抗による遅延が反映されないことから、所望のアンプ起動タイミングに対して、ダミービットラインの信号に基づくSAE信号の生成が早まってしまう、という問題点も有していた。

さらに、上述したような従来の半導体記憶装置においては、ダミーセル513は、メモリアレイ500への読出しアクセスに対して毎回動作
25 する構成となっているが、ダミーセル513自体に欠陥があった場合、

アンプ起動を所望のタイミングで行うことができない、もしくはアンプ起動自体ができない不良品になってしまうおそれがある、という問題点も内包している。

5 発 明 の 要 旨

本発明は、上記問題点に鑑みてなされたものであり、その目的は、メモリセルの読出しタイミングを精度良く擬似することができ、生産歩留率の向上を図った半導体記憶装置を提供することにある。

前記の目的を達成するため、本発明に係る半導体記憶装置は、複数の
10 メモリセル及び複数のダミーセルを含むメモリアレイと、メモリアレイに接続されたロウデコーダと、複数のメモリセルを含む通常カラムを選択するカラムセクタと、ロウデコーダおよびカラムセクタにより選択されたメモリセルのデータを増幅するアンプ回路と、複数のダミーワードラインを介して、前記複数のダミーセルうち各々のダミーワード
15 インに対して少なくとも1つのダミーセルを、選択的に活性化するダミー制御回路と、ダミー制御回路により活性化されたダミーセルからの信号を選択するダミーカラムセクタと、ダミーカラムセクタにより選択された信号に基づいて、アンプ回路に対するアンプ起動信号を生成するアンプ制御回路とを備えた構成を有している。

20 この構成により、ビットラインに接続されるカラムセクタの負荷をダミー回路に含めることができるので、所望のアンプ起動タイミングに応じて、ダミービットラインの信号に基づくSAE信号を生成することが可能となる。

本発明に係る半導体記憶装置において、メモリアレイは、複数のダ
25 ミーセルを含む複数のダミーカラムと、複数のダミーカラムにおいて複数のダミーセルに共通に接続された複数のダミービットラインとを備え、

複数のダミービットラインは、ダミーカラムセレクトに接続されることが好ましい。

この構成により、ダミーセル自体に欠陥がある場合であっても、正常なダミーセルに接続されているダミービットラインを選択することによって、生産歩留まりの向上を図ることができる。

また、本発明に係る半導体記憶装置において、複数のダミーワードラインは、アンプ回路が配置されている側と同一の側、あるいは反対の側からメモリアレイに接続され、複数のダミーカラムに含まれる複数のダミーセルの一部にそれぞれ接続されることが好ましい。

10 この構成により、複数のダミーワードラインが、アンプ回路が配置されている側と同一の側から接続される場合には、ダミーカラムへの配線面積を小さくすることができ、反対の側から接続される場合には、ローデコーダ上の配線負荷も考慮に入れることができる。

また、本発明に係る半導体記憶装置において、ダミーワードラインに
15 接続される複数のダミーセルは、メモリアレイに対して、アンプ回路が配置されている側とは反対側の端部に配置されることが好ましい。

この構成により、アンプ回路から最も遠い位置に配置されているメモリセルがビットラインを駆動するタイミングについても精度良く疑似することができる。

20 また、本発明に係る半導体記憶装置において、メモリアレイは、複数のダミーセルを含むダミーカラムと複数のダミーロウとを備え、複数のダミーワードラインは複数のダミーロウに接続され、ダミーカラムは1つのダミービットラインを含むことが好ましい。

この構成により、ローデコーダ上の配線負荷も考慮に入れることが
25 できる。

また、本発明に係る半導体記憶装置において、メモリアレイは、複数

のダミーセルを含むダミーカラムを備え、複数のダミーワードラインは、ダミーカラム上の異なる位置に配置されたダミーセルにそれぞれ接続される。

また、本発明に係る半導体記憶装置において、ダミービットラインは、
5 ダミーカラムセクタに接続される。

また、本発明に係る半導体記憶装置において、カラムセクタはトランスファゲートを含み、ダミーカラムセクタは、カラムセクタに含まれるトランスファゲートと同じ構成を有するトランスファゲートを含む。

10 また、本発明に係る半導体記憶装置において、ダミービットラインに接続され、ダミーカラムセクタに含まれているトランスファゲートを構成するトランジスタは短絡されたソースとドレインを有することが好ましい。

この構成により、トランジスタの電流能力の低下に起因したアンプ起
15 動信号の生成遅延の発生を未然に防止することができる。

また、本発明に係る半導体記憶装置において、ダミー制御回路は、検査結果を記憶する記憶回路を含む。

また、本発明に係る半導体記憶装置は、アンプ制御回路に接続され、ダミーセルの電流を測定する欠陥検査端子をさらに備えることが好まし
20 い。

この構成により、電流値の異常を検知することで、ダミーセルの欠陥を確実に検知することができる。

また、本発明に係る半導体記憶装置は、アンプ制御回路に接続され、アンプ起動信号の出力タイミングを測定する欠陥検査端子をさらに備え
25 ることが好ましい。

この構成により、テスト負荷をかけることなく、ダミー回路の欠陥を

検知することができる。

また、本発明に係る半導体記憶装置において、記憶回路は不揮発性記憶素子を含むことが好ましく、不揮発性記憶素子は、レーザで切断可能なヒューズを含む。

5

図面の簡単な説明

図 1 は、本発明の実施の形態 1 に係る半導体記憶装置の全体構成図である。

図 2 は、図 1 のメモリアレイの内部構成図である。

10 図 3 は、図 2 の通常のメモリセルの内部構成図である。

図 4 は、図 2 のエッジセルおよびダミーセルの内部構成図である。

図 5 は、図 1 のダミーカラムセクタの内部構成図である。

図 6 は、図 1 のダミー制御回路の内部構成図である。

15 図 7 は、本発明の実施の形態 2 に係る半導体記憶装置の全体構成図である。

図 8 は、本発明の実施の形態 3 に係る半導体記憶装置の全体構成図である。

図 9 は、図 8 のメモリアレイの内部構成図である。

20 図 10 は、本発明の実施の形態 4 に係る半導体記憶装置の全体構成図である。

図 11 は、図 10 のメモリアレイの内部構成図である。

図 12 は、図 10 のダミーカラムセクタの内部構成図である。

図 13 は、本発明の実施の形態 5 に係る半導体記憶装置の全体構成図である。

25 図 14 は、図 13 のメモリアレイの内部構成図である。

図 15 は、従来の半導体記憶装置の全体構成図である。

図 1 6 は、図 1 5 のメモリアレイの内部構成図である。

図 1 7 は、図 1 6 の通常のメモリセルの内部構成図である。

図 1 8 は、図 1 6 のエッジセルおよびダミーセルの内部構成図である。

5 好適な実施例の詳細な説明

以下、本発明の好適な実施形態について、図面を参照しながら説明する。

(実施形態 1)

図 1 は本発明の実施の形態 1 にかかる半導体記憶装置の全体構成図である。図 1 において、100 はメモリアレイを、101 はメモリアレイ 100 に含まれているエッジカラムを、102 及び 103 はメモリアレイ 100 に含まれているダミーカラムを、104 はメモリアレイ 100 に含まれている複数の通常カラムを、それぞれ示している。ここで、通常カラムとは、メモリアレイ 100 におけるエッジカラムおよびダミー
15 カラム以外のカラムを意味している。

そして、ダミーカラム 102 及び 103 に接続されているダミーカラムセクタ 106 は、ダミー制御回路 105 により制御される。

また、通常カラム 104 に接続されているカラムセクタ 108 の出力信号と、ダミーカラムセクタ 106 に接続されているアンプ制御回路 107 の出力信号であるアンプ起動信号 SAE は、アンプ回路 109
20 に入力される。

なお、110 はメモリアレイ 100 に接続されるロウデコーダを、130 は、ダミーカラムセクタ 106 の出力信号である DBL 信号の電流値を測定するための欠陥検査端子を、それぞれ示している。

25 図 2 は、図 1 に示すメモリアレイ 100 の部分構成図である。図 2 において、111 は通常カラム 104 に含まれるメモリセルを示しており、

本実施形態ではSRAMを想定している。図3は、図2に示すメモリセル111単体の内部構成図である。

また、112はエッジカラム101に含まれるエッジセルを、113はダミーカラム102に含まれるダミーセルを、114はダミーカラム103に含まれるダミーセルを、それぞれ示している。図4は、図2に示すエッジセル112、ダミーセル113、114の内部構成及び相互接続構成図である。

図4に示すように、エッジセル112、ダミーセル113、114を構成するトランジスタは、メモリセル111を構成するトランジスタと同サイズであり、エッジセル112、ダミーセル113、114に含まれるラッチは、一定のレベルに固定されている。

図5は、図1に示すダミーカラムセクタ106の内部構成図である。図5において、ビットラインプリチャージ回路120は、プリチャージ信号PCGを受けて、ダミービットラインDBL1、DBL2をプリチャージする。また、121はトランスファゲートを示している。

図6は、図1に示すダミー制御回路105の部分的な内部構成図である。図6において、140は、メモリアクセス信号CLKを受けて、ダミーワードライン駆動信号DBLを出力するダミーワードラインドライバである。141は、メモリアクセス信号CLKを受けて、ダミーセル選択信号SELを生成する検査結果の記憶回路を、それぞれ示している。また、142は不揮発性記憶素子を示しており、ヒューズ素子によって構成されている。

図2に示すように、通常カラム104におけるメモリセル111は、行方向においては、ロウデコーダ110の出力側であるワードラインWL0～WLxにそれぞれ接続されており、列方向においては、通常カラム104の共通のビットラインBL及びNBLに接続されている。

また、複数のエッジセル 1 1 2、複数のダミーセル 1 1 3、複数のダミーセル 1 1 4のうち、それぞれ、n個のエッジセル 1 1 2、1 1 6で示される範囲内のn個のダミーセル 1 1 3、1 1 6で示される範囲内のn個のダミーセル 1 1 4が、メモリアレイ 1 0 0上においてアンプ回路 1 0 9が配置されている側とはカラム方向に最も遠い位置に配置されており、ダミー制御回路 1 0 5に接続されているダミーワードラインDWL 1またはDWL 2に接続されている。それ以外のエッジセル 1 1 2、ダミーセル 1 1 3、1 1 4は、接地ラインに接続されている。

なお、メモリアレイ 1 0 0内のダミーワードラインDWL 1及びDWL 2の配線は、通常カラム 1 0 4におけるビットライン配線に相当する配線を使用するものとする。

また、複数のダミーセル 1 1 3及び1 1 4は、共通のダミービットラインDBL 1及びDBL 2にそれぞれ接続されており、ダミービットラインDBL 1及びDBL 2はダミーカラムセクタ 1 0 6に接続されている。

外部よりメモリアレイへのアクセスが行われると、ロウデコーダ 1 1 0に接続されているワードラインWL 0～WL xのいずれかが選択され、メモリセル 1 1 1のデータがビットラインBL及びNBLに読み出される。通常カラム 1 0 4のビットラインBL及びNBL、及びダミーカラム 1 0 2及び1 0 3のダミービットラインDBL 1及びDBL 2は、予めビットラインプリチャージ回路 1 2 0によってハイレベルにプリチャージされており、ワードラインWL 0～WL xが選択される時点において、フローティング状態となっている。通常カラム 1 0 4が複数あることから、複数のデータがそれぞれのビットラインBL及びNBLに読み出されるが、カラムセクタ 1 0 8によって特定のビットラインBL及びNBLのデータが選択されることになる。

ワードラインWL 0 ~ WL xが選択されるタイミングとほぼ同一のタイミングにおいて、ダミー制御回路1 0 5に接続されているダミーワードラインDWL 1又はDWL 2が駆動され、ダミーワードラインDWL 1が駆動された場合にはn個のダミーセル1 1 3を構成するトランジスタが、また、ダミーワードラインDWL 2が駆動された場合にはn個のダミーセル1 1 4を構成するトランジスタが、それぞれ、ダミービットラインDBL 1又はダミービットラインDBL 2の電位をメモリセル1 1 1のn倍のスルーレートでハイレベルからローレベルへと遷移させる。

そして、ダミーカラムセクタ1 0 6は、ダミー制御回路1 0 5の出力信号であるダミーセル選択信号SELに基づいて、ダミービットラインDBL 1あるいはDBL 2のうち、ローレベルに遷移するダミービットラインを選択し、アンプ制御回路1 0 7へDBL信号として転送する。アンプ制御回路1 0 7は、DBL信号が予め定めたレベルに達するとアンプ起動信号SAEを発生し、アンプ回路1 0 9は、アンプ起動信号SAEに基づいて、カラムセクタ1 0 8により選択された特定のビットラインBL及びNBLのデータを増幅することになる。

以上の動作において、冗長化されているダミーワードラインDWL 1とDWL 2、ダミービットラインDBL 1とDBL 2の選択は、ダミー制御回路1 3 0により、以下のような手順で行われる。

まず、欠陥検査端子1 3 0によってダミーセル1 1 3の電流を測定し、測定した電流値が予め設定された値に対して許容範囲内であれば、図6に示す記憶回路1 4 1に含まれるヒューズ素子1 4 2を切断せず、ダミーセル1 1 3に接続されているダミーワードラインDWL 1及びダミービットラインDBL 1が選択される状態とする。

また、欠陥検査端子1 3 0によって測定されたダミーセル1 1 3の電流値が許容範囲外であれば、ヒューズ素子1 4 2をレーザ等で切断し、

ダミーセル 1 1 4 に接続されているダミーワードライン D W L 2 及びダミービットライン D B L 2 が選択される状態とする。

このように、欠陥検査端子 1 3 0 によってダミーセル 1 1 3 または 1 1 4 の電流値を測定し、当該電流値が予め設定された値に対して許容範囲内であることを確認することによって、いずれのダミーワードライン及びダミービットラインを選択するのかを決定することになる。したがって、電流値の異常を検出した場合、すなわちダミーセルに欠陥が生じた場合であっても、他のダミーワードライン及びダミービットラインに容易に切り替えることが可能となる。

10 以上のように、本実施形態によれば、従来の構成ではダミー回路に配置されていなかったカラムセクタをダミーカラムセクタとしてダミービットラインに接続するように配置し、ダミービットラインを駆動するダミーセルが、メモリアレイ上においてアンプ回路が配置される側からカラム方向に最も遠い位置に配置される。これによって、同じくアンプ回路から最も遠い位置に配置されるメモリセルがビットラインを駆動するタイミングを精度良く擬似することができ、アンプ起動信号を遅延なく生成することが可能となる。

また、複数のダミーカラムを配置することにより、ダミーセルに欠陥がある場合には容易に欠陥の生じたダミーセルを含むダミーカラムを正常なダミーカラムへと切り替えることができる。これにより、半導体記憶装置の生産歩留りの向上を図ることも可能となる。

(実施形態 2)

図 7 は、本発明の実施形態 2 に係る半導体記憶装置の全体構成図である。図 7 において、1 3 1 はアンプ起動信号 S A E のタイミングを測定するための欠陥検査端子を示している。他の構成は、実施形態 1 と同様であるので、図 1 と同一の符号を付すことで詳細な説明を省略する。

本実施形態においては、テスト時において、欠陥検査端子 1 3 1 によってアンプ起動信号 S A E の生成タイミングを測定する点に特徴を有する。すなわち、ダミーセル 1 1 3 が駆動するダミービットライン D B L 1 の信号に基づく、欠陥検査端子 1 3 1 より測定されたアンプ起動信号 S A E の生成タイミングが、予め設定されたタイミングに対して許容範囲内である場合には、図 6 に示す記憶回路 1 4 1 に含まれるヒューズ素子 1 4 2 を切断せず、ダミーワードライン D W L 1 及びダミービットライン D B L 1 が選択される。

一方、ダミーセル 1 1 3 が駆動するダミービットライン D B L 1 の信号に基づく、欠陥検査端子 1 3 1 より測定したアンプ起動信号 S A E の生成タイミングが、予め設定されたタイミングに対して許容範囲外である場合には、ヒューズ素子 1 4 2 をレーザ等で切断し、ダミーワードライン D W L 2 及びダミービットライン D B L 2 が選択される。

このようにすることで、欠陥検査端子 1 3 1 によりアンプ起動信号 S A E の生成タイミングを測定し、予め設定されたタイミングに対して許容範囲内であることを確認することによって、ダミーワードライン及びダミービットラインを切り替えることができる。

以上のように、本実施形態によれば、ダミービットラインにテストのための負荷を付加することなく、ダミーセルを含むダミー回路の欠陥を検査することができることから、より精度良くメモリセルがビットラインを駆動するタイミングを擬似することが可能となる。

(実施形態 3)

図 8 は、本発明の実施の形態 3 に係る半導体記憶装置の全体構成図である。図 8 において、2 0 0 はメモリアレイを、2 0 1 はメモリアレイ 2 0 0 に含まれるエッジカラムを、2 0 2 及び 2 0 3 はメモリアレイ 2 0 0 に含まれるダミーカラムを、それぞれ示している。また、2 1 0 は

ロウデコーダである。

本実施形態は、ダミー制御回路 105 の出力側であるダミーワードラインDWL 1 及びDWL 2 がロウデコーダ 210 内を経由して配線され、メモリアレイ 200 に対してアンプ回路 109 が配置されている側とは
5 反対の側からエッジカラム 201、ダミーカラム 202、203 に接続されている点に特徴を有している。

他の構成は、実施形態 2 と同様であるので、図 7 と同一の符号を付すことで詳細な説明を省略する。

図 9 は、図 8 に示すメモリアレイ 200 の内部構成図である。図 9 に
10 示すように、ダミーワードラインDWL 1 及びDWL 2 は、アンプ 109 が配置されている側とは反対の側からエッジカラム 201、ダミーカラム 202、203 に接続されている。他の構成は、図 2 に示す実施形態 1 におけるメモリアレイ 100 の構成と同様である。

このような構成により、従来は考慮に入れることができなかった、ダ
15 ミーワードラインによる配線負荷を考慮に入れることができる。

すなわち、本実施形態によれば、通常のワードラインを駆動する配線が行われるロウデコーダ上における配線と同一の条件で、ダミーワードラインの配線を行うので、ロウデコーダ上の配線負荷を精度よく擬似することができる、より精度の良いダミー回路を構成することが可能となる。

20 (実施形態 4)

図 10 は、本発明の実施形態 4 に係る半導体記憶装置の全体構成図である。図 10 において、300 はメモリアレイを、301 はメモリアレイ 300 に含まれるエッジカラムを、302 はメモリアレイ 300 に含まれるダミーカラムを、303 及び 304 はメモリアレイ 300 に含ま
25 れるダミーロウを、それぞれ示している。また、305 はダミー制御回路を、306 はダミーカラムセクタを、310 はロウデコーダを、そ

れぞれ示している。ダミー制御回路 3 0 5 に接続されているダミーワードライン D W L 1 及び D W L 2 は、ロウデコーダ 3 1 0 へと接続されている。さらに、ダミーカラム 3 0 2 の出力側であるダミービットライン D B L は、ダミーカラムセクタ 3 0 6 に接続されている。

- 5 他の構成は、実施形態 2 と同様であるので、図 7 と同一の符号を付すことで詳細な説明を省略する。

図 1 1 は、図 1 0 に示すメモリアレイ 3 0 0 の内部構成図である。図 1 1 において、3 1 5 はダミーロウ 3 0 3 及び 3 0 4 上に位置するワードライン S W L 1 及び S W L 2 をそれぞれ駆動するドライバを示している。

10 る。

また 1 1 6 は、ダミーカラム 3 0 2 に配置された複数のダミーセル 1 1 4 のうち、ダミーワードライン D W L 1 及び D W L 2 によってそれぞれ選択されるダミーセル、すなわちダミービットライン D B L を駆動する複数のダミーセルを示している。

- 15 図 1 2 は、図 1 0 に示すダミーカラムセクタ 3 0 6 の内部構成図である。図 1 2 において、3 2 1 はトランスファゲートを示し、ダミーカラム 3 0 2 の出力側であるダミービットライン D B L に接続されている。

なお、トランスファゲート 3 2 1 を構成するトランジスタのソースとドレインは短絡されている。これによって、低電圧時に、ダミービット

20 ライン D B L が電源電圧の中間レベル付近まで遷移した際に、トランスファゲート 3 2 1 のトランジスタ電流能力が低下することによって、アンプ制御回路 1 0 7 への出力信号が著しく遅延することを防止することができる。

- また、3 2 2 は複数のトランスファゲートを示しており、トランスファゲート 3 2 1 と 3 2 2 の合計数は、カラムセクタ 1 0 8 において複数のビットライン B L 及び N B L から一組の B L 及び N B L を選択する
- 25

トランスファゲートの数と同じである。これにより、さらに精度の良いダミー回路を構成することが可能となる。

5 以上のように、本実施形態によれば、ダミービットラインDBLを駆動する複数のダミーセル114を、同一のダミーカラム302上に配置することで、ダミーカラム自体の数を減らすことができ、メモリアレイの面積を減らすことが可能となる。

(実施形態5)

図13は、本発明の実施の形態5に係る半導体記憶装置の全体構成図である。図13において、400はメモリアレイを、401はメモリアレイ400に含まれるエッジカラムを、402はメモリアレイ400に含まれるダミーカラムを、410はロウデコーダを、それぞれ示している。

他の構成は、実施形態4と同様であるので、図10と同一の符号を付すことで詳細な説明を省略する。

15 本実施形態は、ダミー制御回路305の出力側であるダミーワードラインDWL1が、メモリアレイ400に対して、アンプ回路109が配置されている側と反対の側からダミーカラム401に入力され、ダミーワードラインDWL2が、アンプ回路109が配置されている側と同じ側からエッジカラム401およびダミーカラム402に入力される点に
20 特徴を有している。

図14は、図13に示すメモリアレイ400の内部構成図である。図14において、ダミーワードラインDWL1及びDWL2が、それぞれエッジカラム401およびダミーカラム402に対して互いに反対側から異なるエッジセル112およびダミーセル114に接続されている。

25 以上のように、本実施形態によれば、ダミーロウを必要とせず、ダミービットラインDBLを駆動する複数のダミーセルを、同一のダミーカ

ラム上に配置することで、ダミーカラムの数を減らすことができるので、メモリアレイ自体の面積を削減することが可能となる。

- 5 以上説明したように、本発明によれば、カラムセクタをダミービットラインに接続するように配置し、ダミービットラインを駆動するダミーセルが、メモリアレイ上においてアンプ回路が配置される側からカラム方向に最も遠い位置に配置されることによって、同じくアンプ回路から最も遠い位置に配置されるメモリセルが、ビットラインを駆動するタイミングを精度良く擬似することができ、アンプ起動信号の生成を遅延することなく行うことが可能となる。

- 10 また、複数のダミーカラムを配置することにより、ダミーセルに欠陥がある場合には、容易に欠陥の生じたダミーセルを含むダミーカラムを正常なダミーカラムへと切り替えることができるので、半導体記憶装置の生産歩留りの向上を図ることも可能となる。

クレーム：

1. 複数のメモリセル及び複数のダミーセルを含むメモリアレイと、
前記メモリアレイに接続されたロウデコーダと、
前記複数のメモリセルを含む通常カラムを選択するカラムセクタと、
5 前記ロウデコーダおよび前記カラムセクタにより選択された前記メモリセルのデータを増幅するアンプ回路と、
複数のダミーワードラインを介して、前記複数のダミーセルうち各々のダミーワードラインに対して少なくとも1つのダミーセルを、選択的に活性化するダミー制御回路と、
10 前記ダミー制御回路により活性化された前記ダミーセルからの信号を選択するダミーカラムセクタと、
前記ダミーカラムセクタにより選択された信号に基づいて、前記アンプ回路に対するアンプ起動信号を生成するアンプ制御回路とを備えた半導体記憶装置。
15
2. 前記メモリアレイは、前記複数のダミーセルを含む複数のダミーカラムと、前記複数のダミーカラムにおいて前記複数のダミーセルに共通に接続された複数のダミービットラインとを備え、前記複数のダミービットラインは、前記ダミーカラムセクタに接続されている請求項
20 1記載の半導体記憶装置。
3. 前記複数のダミーワードラインは、前記アンプ回路が配置されている側と同一の側から前記メモリアレイに接続され、前記複数のダミーカラムに含まれる前記複数のダミーセルの一部にそれぞれ接続される
25 請求項2記載の半導体記憶装置。

4. 前記複数のダミーワードラインは、前記アンプ回路が配置されている側とは反対の側から前記メモリアレイに接続され、前記複数のダミーカラムに含まれる前記複数のダミーセルの一部にそれぞれ接続される請求項 2 記載の半導体記憶装置。

5

5. 前記ダミーワードラインに接続される前記複数のダミーセルは、前記メモリアレイに対して、前記アンプ回路が配置されている側とは反対側の端部に配置される請求項 2 記載の半導体記憶装置。

10 6. 前記メモリアレイは、前記複数のダミーセルを含むダミーカラムと複数のダミーロウとを備え、前記複数のダミーワードラインは前記複数のダミーロウに接続され、前記ダミーカラムは 1 つのダミービットラインを含む請求項 1 記載の半導体記憶装置。

15 7. 前記メモリアレイは、前記複数のダミーセルを含むダミーカラムを備え、前記複数のダミーワードラインは、前記ダミーカラム上の異なる位置に配置された前記ダミーセルにそれぞれ接続される請求項 1 記載の半導体記憶装置。

20 8. 前記ダミービットラインは、前記ダミーカラムセクタに接続される請求項 6 記載の半導体記憶装置。

25 9. 前記カラムセクタはトランスファゲートを含み、前記ダミーカラムセクタは、前記カラムセクタに含まれるトランスファゲートと同じ構成を有するトランスファゲートを含む請求項 8 記載の半導体記憶装置。

10. 前記ダミービットラインに接続され、前記ダミーカラムセクタに含まれている前記トランスファゲートを構成するトランジスタは短絡されたソースとドレインを有する請求項9記載の半導体記憶装置。

5

11. 前記ダミー制御回路は、検査結果を記憶する記憶回路を含む請求項1記載の半導体記憶装置。

12. 前記アンプ制御回路に接続され、前記ダミーセルの電流を測定する欠陥検査端子をさらに備えた請求項11記載の半導体記憶装置。

10

13. 前記アンプ制御回路に接続され、前記アンプ起動信号の出力タイミングを測定する欠陥検査端子をさらに備えた請求項11記載の半導体記憶装置。

15

14. 前記記憶回路は不揮発性記憶回路である請求項11記載の半導体記憶装置。

15. 前記不揮発性記憶回路は、レーザで切断可能なヒューズを含む請求項14記載の半導体記憶装置。

20

開示の要約

- メモリセルの読出しタイミングを精度良く擬似することができ、生産歩留率の向上を図った半導体記憶装置を提供する。ダミーカラムセクタをダミービットラインに接続するように配置し、ダミービットラインを駆動する複数のダミーセルを、メモリアレイ上においてアンプ回路が配置される側からカラム方向に最も遠い位置に配置する。これにより、同様にアンプ回路から最も遠い位置に配置されるメモリセルがビットラインを駆動するタイミングを精度良く擬似することができ、アンプ起動信号を遅延なく生成できる。また、複数のダミーワードラインをそれぞれ複数のダミーセルに接続することで、欠陥のあるダミーセルを正常なダミーセルに容易に置換できる。
- 5
- 10